

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-325580

(43)Date of publication of application : 10.12.1993

(51)Int.Cl.

G11C 16/06  
H02N 3/07

(21)Application number : 04-136845

(71)Applicant : MITSUBISHI ELECTRIC CORP.

(22)Date of filing : 28.05.1992

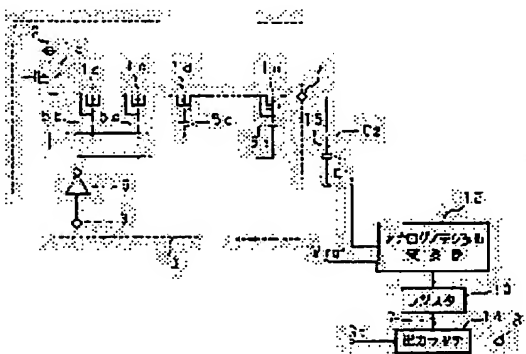
(72)Inventor : ASARI SEIICHIRO

## (54) NONVOLATILE MEMORY

### (57)Abstract:

**PURPOSE:** To securely know a high voltage level from outside by stepping down the high voltage of a voltage boosting circuit incorporated in the nonvolatile memory by a capacitor or MOS transistor(TR) and converting it into a digital signal, supplying the signal to a register, and detecting the high voltage level with stored data.

**CONSTITUTION:** The high voltage at the terminal 4 of a voltage boosting circuit 10 is divided by capacitors C2 and C1 to obtain the stepped-down voltage at a connection part 15. The voltage is supplied to the register 13 through an A/D converter 12 and latched. Then a read signal SR is supplied to an output latch 14, and the stored data in the register 13 are read out and outputted to an external port terminal 8. Consequently, the voltage level of the voltage boosting circuit can indirectly be detected from outside without being affected by a noise or surge. At this time, the voltage level can similarly be detected by stepping down the high voltage of the voltage boosting circuit by the MOS TR, converting the voltage into the digital signal, and supplying to the register.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平5-325580

(43)公開日 平成5年(1993)12月10日

(51)Int.Cl.<sup>5</sup>

識別記号

FI

G11C 16/06

H02M 3/07

8726-5H

6741-5L

G11C 17/00

309

D

審査請求 未請求 請求項の数 2 (全5頁)

(21)出願番号

特願平4-136845

(22)出願日

平成4年(1992)5月28日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 浅利 誠一郎

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社北伊丹製作所内

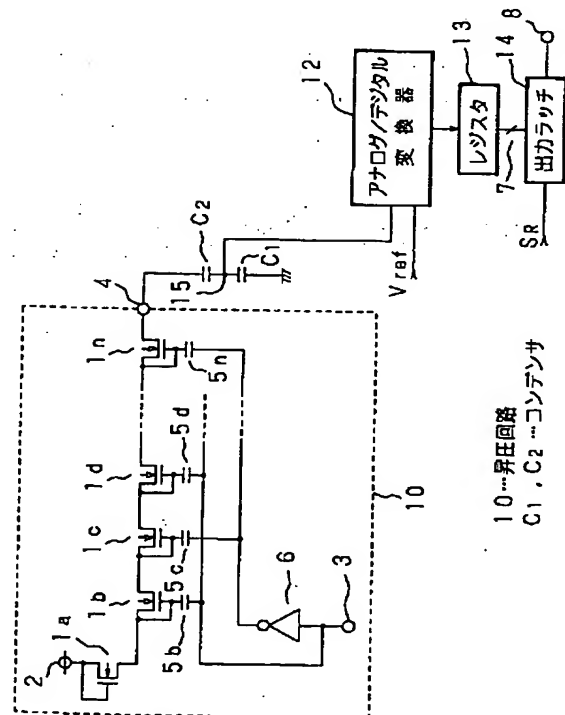
(74)代理人 弁理士 高田 守

(54)【発明の名称】 不揮発性メモリ

(57)【要約】

【目的】 内蔵している昇圧回路が発生した高電圧の電圧レベルを、外部から検出できるようにする。

【構成】 昇圧回路10の高電圧を分圧するコンデンサC<sub>1</sub>、C<sub>2</sub>と、分圧した電圧をデジタル信号に変換するアナログ/デジタル変換器12と、変換したデジタル信号を与えるべきレジスタ13とを備えた構成にする。



## 【特許請求の範囲】

【請求項 1】 バルスを与えて電圧を昇圧する昇圧回路を内蔵している不揮発性メモリにおいて、前記昇圧回路の電圧を分圧するコンデンサと、分圧した所定電圧をデジタル信号に変換するアナログ／デジタル変換器と、変換したデジタル信号を与えるべきレジスタとを備え、該レジスタの格納データにより昇圧回路の電圧レベルを検出すべく構成してあることを特徴とする不揮発性メモリ。

【請求項 2】 請求項 1 記載の不揮発性メモリにおいて、昇圧回路の電圧を MOS トランジスタにより降圧する構成にしてあることを特徴とする不揮発性メモリ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は昇圧回路を内蔵している不揮発性メモリに関するものである。

## 【0002】

【従来の技術】 不揮発性メモリの中で、高電圧を用いてメモリのしきい値電圧を変化させるものに EPROM 及び EEPROM がある。EEPROM は、内蔵している昇圧回路で高電圧を発生させ、単一電源で機能するようにしている。図 1 は EEPROM において一般的に使用されている昇圧回路の一例を示すブロック図である。通常は 5 V である電源 2 は、複数個の N チャネル MOS トランジスタ（以下トランジスタという）1a, 1b, 1c...1n をシリアルに接続した回路を介して高電圧出力端子 4 と接続されている。各トランジスタ 1a, 1b, 1c, 1d...1n は、ドレインとソースとが接続されている。高速パルスが入力されるパルス入力端子 3 はキャパシタ 5b, 5d を各別に介してトランジスタ 1b, 1d のゲートと接続されており、またインバータ 6 の入力側と接続されている。インバータ 6 の出力側は、キャパシタ 5c, 5n を各別に介してトランジスタ 1c, 1n のゲートと接続されている。

【0003】 次にこの動作を説明する。電源 2 の電圧によりトランジスタ 1a, 1b, 1c, 1d...1n がオンし、各トランジスタ 1a, 1b, 1c, 1d...1n のゲートには電源 2 からの電圧が与えられる。ここでパルス入力端子 3 に高速パルスを与え、パルスが立上ると、キャパシタ 5b, 5d の結合によりトランジスタ 1b, 1d のゲートにはパルス電圧に応じた電圧が瞬間的に与えられて、それらのゲート電圧が上昇する。いま、トランジスタ 1b のゲート電圧に着目すると、パルスが立上ってトランジスタ 1b の上昇したゲート電圧がトランジスタ 1b を介して後段のトランジスタ 1c のゲートに与えられる。次にパルス入力端子 3 に与えているパルスが立下るとインバータ 6 の出力が立上って、キャパシタ 5c の結合によりトランジスタ 1c のゲートには、パルス電圧に応じた電圧が瞬間的に与えられて、トランジスタ 1c のゲート電圧が上昇し、その上昇したゲート電圧がトランジスタ 1c を介してトランジスタ 1d のゲートに与えられる。

【0004】 そして再びパルスが立上るとトランジスタ 1d のゲートにはキャパシタ 5d の結合により、パルス電圧に応じた電圧が瞬間的に与えられる。このような動作を繰り返して後段になるにしたがいトランジスタのゲート電圧が上昇していき、トランジスタの個数に応じて昇圧した電圧を高電圧出力端子 4 へ出力することになる。

## 【0005】

【発明が解決しようとする課題】 ところで、昇圧回路で発生する高電圧は、キャパシタ結合により発生させた電圧を順次加えて作られるため、電流供給能力が極めて低く、略数  $\mu A$  ～ 数  $10 \mu A$  である。したがって、昇圧回路の高電圧を検出するために高電圧を出力する高電圧出力端子を、モールド封止した部分から露出させると、その電圧出力端子が外部からの種々のノイズ、サージ等の影響を受け易い、またサージ等を吸収する保護回路を付加できないために、高電圧出力端子が外部からのノイズ、サージ等の影響を受けた場合は、内蔵しているトランジスタを破壊する虞れがある。そのため高電圧出力端子を露出させ得ないから、昇圧回路で発生している高電圧の電圧レベルを外部から検出できないという問題がある。本発明は斯かる問題に鑑み、昇圧回路が発生する高電圧の電圧レベルを外部から検出できる不揮発性メモリを提供することを目的とする。

## 【0006】

【課題を解決するための手段】 第 1 発明に係る不揮発性メモリは、それに内蔵している昇圧回路で発生した高電圧をコンデンサにより分圧し、分圧した電圧をデジタル信号に変換してレジスタに与え、レジスタの格納データにより昇圧回路の高電圧の電圧レベルを検出する構成にする。第 2 発明に係る不揮発性メモリは、それに内蔵している昇圧回路で発生した高電圧を MOS トランジスタにより低下させて、低下させた電圧をデジタル信号に変換してレジスタに与え、レジスタの格納データにより昇圧回路の電圧レベルを検出する構成にする。

## 【0007】

【作用】 第 1 発明では、昇圧回路で発生した高電圧をコンデンサで分圧する。分圧して低下した電圧をデジタル信号に変換する。変換したデジタル信号をレジスタに与えて、レジスタの格納データにより昇圧回路の電圧レベルを検出する。これにより昇圧回路の高電圧をコンデンサで降圧して、昇圧回路の電圧レベルを外部から間接的に検出でき、外部のノイズ及びサージの影響を受けない。第 2 発明では、昇圧回路で発生した高電圧を MOS トランジスタにより低下させる。低下した電圧をデジタル信号に変換する。変換したデジタル信号をレジスタに与えて、レジスタの格納データを読み出して昇圧回路の電圧レベルを検出する。これにより、昇圧回路の高電圧を MOS トランジスタにより降圧して、昇圧回路の電圧レベルを外部から間接的に検出でき、外部のノイズ及びサージの影響を受けない。

## 【0008】

【実施例】以下本発明をその実施例を示す図面により詳述する。図2は本発明に係る不揮発性メモリの要部構成を示すブロック図である。通常は5Vである電源2は、複数個のトランジスタ1a, 1b, 1c, 1d … 1nをシリアルに接続した回路を介して高電圧出力端子4と接続されており、各トランジスタ1a, 1b, 1c, 1d … 1nはドレインと、ゲートとが接続されている。高速パルスが入力されるパルス入力端子3はキャパシタ5b, 5dを各別に介してトランジスタ1b, 1dのゲートと接続されており、またインバータ6の入力側と接続されている。インバータ6の出力側はキャパシタ5c, 5nを各別に介してトランジスタ1c, 1nのゲートと接続されていて、これらにより昇圧回路10が構成されている。

【0009】高電圧出力端子4は分圧用のコンデンサC<sub>1</sub>, C<sub>2</sub>の直列回路を介して接地されており、コンデンサC<sub>1</sub>, C<sub>2</sub>との接続部15の電圧、即ち昇圧回路10の高電圧を分圧して低下させた電圧はアナログ/デジタル変換器12へ入力される。アナログ/デジタル変換器12には基準電圧V<sub>ref</sub>が与えられる。アナログ/デジタル変換器12により変換されたデジタル信号は例えば8ビットのレジスタ13へ与えられ、レジスタ13の格納データはデータバス7を介して出力ラッチ14へ与えられる。出力ラッチ14には読出し信号S<sub>i</sub>が与えられ、出力ラッチ14から出力されるレジスタ13の格納データは外部ポート端子8へ与えられる。

【0010】次にこのように構成した不揮発性メモリの動作を説明する。昇圧回路10は図1を用いて説明した如く動作して高電圧を発生する。昇圧回路10により発生させて高電圧出力端子4に出力された高電圧は、コンデンサC<sub>1</sub>とC<sub>2</sub>とにより分圧されて、コンデンサC<sub>1</sub>とC<sub>2</sub>との接続部15には降圧された所定電圧が得られる。いま、昇圧回路10で発生した高電圧が正常動作時に例えば20Vであると、コンデンサC<sub>1</sub>とC<sub>2</sub>との比が1:4であれば、接続部15の電圧は4Vとなる。そこでアナログ/デジタル変換器12に与える基準電圧V<sub>ref</sub>を例えば5.12V、アナログ/デジタル変換器12の分解能を8ビットとすると、アナログ/デジタル変換器12でアナログ/デジタル変換を行うと、変換されたデジタルデータC8<sub>(i)</sub>がレジスタ13に与えられてラッチされる。

【0011】その後、読出し信号S<sub>i</sub>を出力ラッチ14に与えることにより、レジスタ13の格納データが読出されて外部ポート端子8へ出力される。これにより昇圧回路10の高電圧を、外部ポート端子8に出力されたレジスタ13の格納データにより間接的に検出できる。ところで、昇圧回路10が異常動作して発生した高電圧が例えば15Vに低下した場合は、接続部15の電圧は3Vとなり、アナログ/デジタル変換器12により変換されたデジタルデータB8<sub>(i)</sub>がレジスタ13に与えられ、読出し信号S<sub>i</sub>を出力ラッチ14に与えることにより、レジスタ13の格納デー

タが読出されて外部ポート端子8へ出力される。

【0012】したがって、昇圧回路10が正常動作しているときは、レジスタ13から、その格納データC8<sub>(i)</sub>を読出すことになり、これよりも小さい格納データであれば昇圧回路10の高電圧が低下していることを判定し得、前述したように例えば格納データB8<sub>(i)</sub>が読出された場合は、昇圧回路10の高電圧が15Vまでしか昇圧していないことが容易に判定できる。また、外部ポート端子8が露出して、それが外部のノイズ及びサージの影響を受けても、内蔵しているトランジスタに影響せず、トランジスタが破壊される虞れない。

【0013】図3は昇圧回路の高電圧を降圧する回路の他の実施例を示すブロック図である。複数個のNチャネルMOSトランジスタ（以下トランジスタという）T<sub>1</sub>, T<sub>2</sub>, …, T<sub>n</sub>をシリアルに接続しており、各トランジスタT<sub>1</sub>, T<sub>2</sub>, …, T<sub>n</sub>は、ドレインとゲートとが接続されている。トランジスタT<sub>1</sub>のドレインは昇圧回路10の高電圧出力端子4（図2参照）と接続され、トランジスタT<sub>1</sub>のソースは接地されている。トランジスタT<sub>2</sub>のソースと接続した接続部15から昇圧回路10の高電圧を降圧した電圧が得られるようになっており、この電圧はアナログ/デジタル変換器12（図2参照）へ入力される。そしてトランジスタT<sub>1</sub>, T<sub>2</sub>, …, T<sub>n</sub>は夫々のトランジスタT<sub>1</sub>, T<sub>2</sub>, …, T<sub>n</sub>のチャンネル長の寸法を大きくして高抵抗にしている。

【0014】したがって、高抵抗のトランジスタT<sub>1</sub>, T<sub>2</sub>, …, T<sub>n</sub>を多段接続することにより、それに流れる電流を小さくできるから、接続部15から、高電圧出力端子4に与えた高電圧を降圧した電圧が得られる。そして、コンデンサC<sub>1</sub>とC<sub>2</sub>とにより分圧して降圧した場合と同様に電圧が得られることになる。そのため、このように複数個のトランジスタをシリアルに接続した回路を、分圧するコンデンサC<sub>1</sub>とC<sub>2</sub>の代わりに用いても、コンデンサC<sub>1</sub>, C<sub>2</sub>を用いた場合と同様に昇圧回路の高電圧を検出できる。本実施例では、アナログ/デジタル変換器12の分解能を8ビットとしたが、それは単なる例示であり、8ビットに限定されるものではない。

## 【0015】

【発明の効果】以上詳述したように本発明は不揮発性メモリに内蔵している昇圧回路の高電圧を、コンデンサ又はMOSトランジスタにより降圧し、降圧した電圧をデジタル信号に変換してレジスタに与え、レジスタの格納データにより高電圧の電圧レベルを検出するようにしたので、昇圧回路の高電圧の電圧レベルを外部から確実に検出できる。また外部のノイズ及びサージが外部ポート端子に影響して、内蔵しているトランジスタに侵入し、それを破壊する虞れない。したがって、本発明によれば、昇圧回路が発生している高電圧の電圧レベルが適正か否かを判定できる不揮発性メモリを提供できる優れた効果を奏する。

## 【図面の簡単な説明】

【図 1】従来の不揮発性メモリにおける昇圧回路の構成を示すブロック図である。

【図 2】本発明に係る不揮発性メモリの昇圧回路及びその周辺の構成を示すブロック図である。

【図 3】昇圧回路の高電圧を降圧する回路の他の実施例を示すブロック図である。

## 【符号の説明】

2 電源

4 高電圧出力端子

8 外部ポート端子

10 昇圧回路

12 アナログ／デジタル変換器

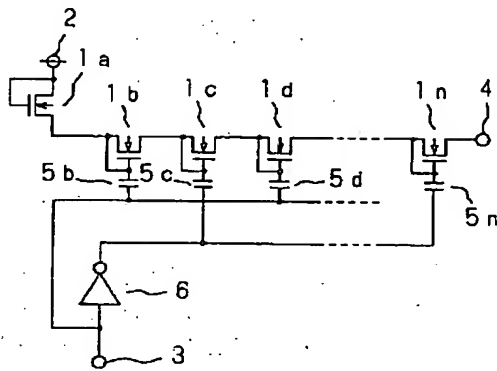
13 レジスタ

14 出力ラッチ

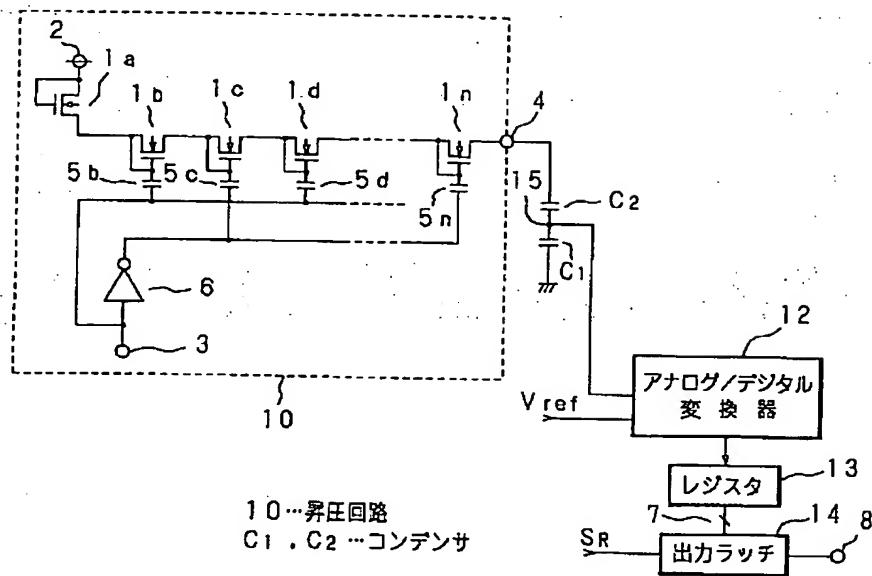
$C_1$  ,  $C_2$  コンデンサ

$T_1$  ,  $T_2$  , ...  $T_n$  NチャネルMOS トランジスタ

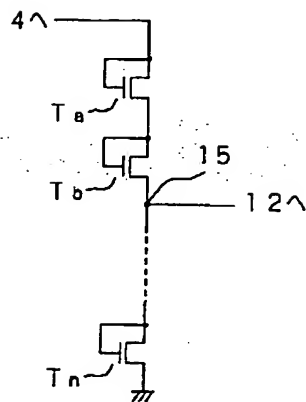
【図 1】



【図 2】



【図3】



$T_a, T_b \cdots T_n$ ...NチャネルMOSトランジスタ